

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

011490812 **Image available**

WPI Acc No: 97-468717/199743

XRPX Acc No: N97-391114

Contact type area sensor for reading image data - has multiplexer which transfers video signal corresponding to optical reception voltage sequentially selected from various optical reception voltage generated by each optical reception voltage generator

Patent Assignee: ALPS ELECTRIC CO LTD (ALPS)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 9219823	A	19970819	JP 9640144	A	19960227	H04N-005/335	199743 B

Priority Applications (No Type Date): JP 95319351 A 19951207

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
JP 9219823	A	16			

Abstract (Basic): JP 9219823 A

The sensor has several optical receivers which generate an electric charge after receiving the predetermined amount of light. The emission of the generated electric charge in each optical receiver is controlled by an emission control switching component. A scanning shift register (1) supplies a sequential scanning signal to several scanning wirings that form the path of a scanning signal for transfer control of the electric charge.

Optical reception voltage for the transferred amount of the electric charge in the upper section of the signal wiring is generated by an optical reception voltage generator (4). The optical reception voltage generator holds the signal wiring to a biasing potential that becomes settled in a criteria potential. A video signal in response to the optical reception voltage, sequentially selected from various generated optical reception voltage of each optical reception voltage generator, is transferred by a multiplexer (5).

ADVANTAGE - Converts optical electric charges into signal voltage with high efficiency since all optical electric charges on signal wiring are collected. Suppresses external noise.

Dwg. 1/25

Title Terms: CONTACT; TYPE; AREA; SENSE; READ; IMAGE; DATA; MULTIPLEX;
TRANSFER; VIDEO; SIGNAL; CORRESPOND; OPTICAL; RECEPTION;
VOLTAGE; SEQUENCE; SELECT; VARIOUS; OPTICAL; RECEPTION; VOLTAGE;
GENERATE; OPTICAL; RECEPTION; VOLTAGE; GENERATOR

Derwent Class: U13; W02; W04

International Patent Class (Main): H04N-005/335

International Patent Class (Additional): H01L-027/146; H04N-001/028

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05605023 **Image available**

CONTACT AREA SENSOR

PUB. NO.: 09-219823 [JP 9219823 A]

PUBLISHED: August 19, 1997 (19970819)

INVENTOR(s): KAMIKO MITSUO

APPLICANT(s): ALPS ELECTRIC CO LTD [001009] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 08-040144 [JP 9640144]

FILED: February 27, 1996 (19960227)

INTL CLASS: [6] H04N-005/335; H01L-027/146; H04N-001/028

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.4 (PRECISION
INSTRUMENTS -- Business Machines); 42.2 (ELECTRONICS -- Solid
State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD

&

BBD)

ABSTRACT

PROBLEM TO BE SOLVED: To attain high definition robust against noise from the outside.

SOLUTION: This sensor is provided with a light-receiving voltage generation circuit 4 capable of absorbing all the photoelectric charges outputted onto a signal line. As a photoelectric change is efficiently converted into a signal voltage by this circuit, the sensor becomes robust against the external noise. In addition, plural light-receiving voltage generation circuit 4 and a multiplexer 5 for a high-speed parallel-serial conversion circuit made from crystal silicon are added so as to obtain a two-dimensional image sensor of low noise and the low cost which forms a large screen being the strong point of a two-dimensional image sensor made from amorphous silicon or polysilicon and is provided with a high speed being the strong point of crystal silicon in addition.

(11)特許出願公開番号

特開平9-219823

(43)公開日 平成9年(1997)8月19日

(51)Int.Cl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	E
H 0 1 L 27/146			1/028	Z
H 0 4 N 1/028				A
			H 0 1 L 27/14	A

審査請求 未請求 請求項の数 8 O.L (全 16 頁)

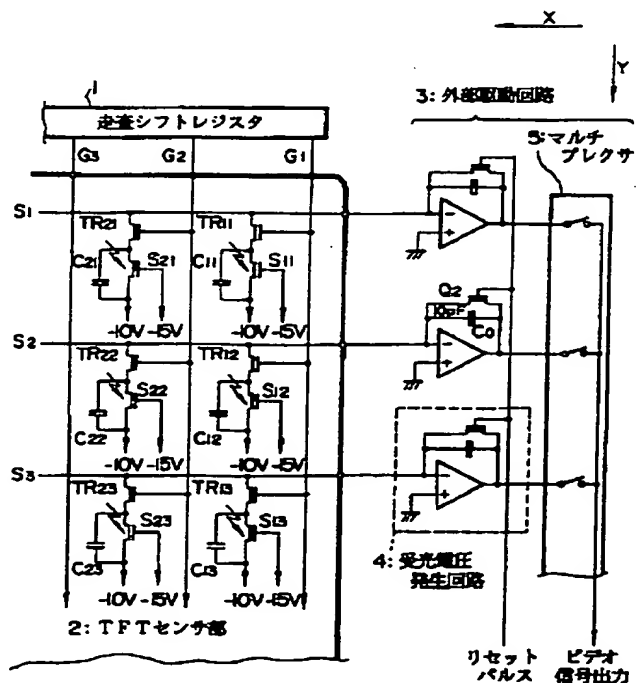
(21)出願番号	特願平8-40144	(71)出願人	000010098 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号
(22)出願日	平成8年(1996)2月27日	(72)発明者	上子 充雄 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
(31)優先権主張番号	特願平7-319351	(74)代理人	弁理士 志賀 正武 (外2名)
(32)優先日	平7(1995)12月7日		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 密着型エリアセンサ

(57) 【要約】

【課題】 従来は蓄積された光電荷の1/100以下の利用効率でしか読み出すことができず、外部ノイズに弱かった。しかもアモルファスシリコンやポリシリコンで作られた薄膜トランジスタで並列一直列変換をして信号を転送しているため、読み出し速度が遅く、光センサの暗電流が信号に化けてしまう恐れがあった。

【解決手段】 信号配線上に出力された光電荷を全て吸い取ることができる受光電圧発生回路4を発明したことにより、光電荷を効率よく信号電圧に変換できるため、外部ノイズに強くなった。また、複数の受光電圧発生回路4と結晶シリコンで作った高速の並列－直列変換回路用のマルチプレクサ5を付加することで、アモルファスシリコンやポリシリコンで作られた2次元イメージセンサの長所である大画面がつけられることと、結晶シリコンの長所である高速性とを合わせ持った低ノイズで安価な2次元イメージセンサを作ることが可能となった。



【特許請求の範囲】

【請求項1】 X方向とY方向の2次元マトリクス状に配置され、かつ、受光量に応じた電荷を発生する複数の受光素子と、

前記各受光素子に発生した電荷の放出を制御する放出制御スイッチング素子と、

前記X方向に配列された前記各放出制御スイッチング素子の電荷放出用端子を共通接続し、前記電荷の転送経路を形成する複数の信号配線と、

前記Y方向に配列された前記各放出制御スイッチング素子の制御用端子を共通接続し、前記電荷の転送を制御する走査信号の経路を形成する複数の走査配線と、

前記複数の走査配線に順次前記走査信号を供給する走査シフトレジスタと、

前記それぞれの信号配線に対し接続され、該信号配線上を転送される電荷量に応じた受光電圧を発生し、かつ、該信号配線を基準電位または前記基準電位により定まるバイアス電位に保持する複数の受光電圧発生回路と、各受光電圧発生回路が発生した受光電圧の中から1つを順次選択し、該選択した受光電圧をビデオ信号として転送するマルチプレクサとを具備することを特徴とする密着型エリアセンサ。

【請求項2】 請求項1記載の密着型エリアセンサにおいて、

前記受光電圧発生回路はオペアンプを具備し、

前記受光電圧は、前記オペアンプの出力端子から出力される信号であり、

前記信号配線が前記オペアンプの負入力端子に接続されており、

前記オペアンプの正入力端子は、前記基準電位に設定されており、

前記オペアンプの出力端子と負入力端子との間には、電荷吸収用コンデンサと、リセットパルスが入力されると該出力端子と負入力端子とを接続するリセット用スイッチング素子とが並列に接続されていることを特徴とする密着型エリアセンサ。

【請求項3】 請求項2記載の密着型エリアセンサにおいて、

前記リセット用スイッチング素子と前記負入力端子とを結ぶ配線には、第1の抵抗が形成されており、

前記リセット用スイッチング素子と前記第1の抵抗とを結ぶ配線は、第2の抵抗を介して、前記基準電位に設定されていることを特徴とする密着型エリアセンサ。

【請求項4】 請求項3記載の密着型エリアセンサにおいて、

前記オペアンプの出力端子は、第4の抵抗を介して、前記基準電位に設定されており、

前記オペアンプの出力端子と前記第4の抵抗とを結ぶ配線には第3の抵抗が形成されており、

前記電荷吸収用コンデンサの端子のうち、前記オペア

ンプの出力端子側に接続されている端子は、前記第3の抵抗と前記第4の抵抗との中点に接続されており、

前記リセット用スイッチング素子の端子のうち、前記オペアンプの出力端子側に接続されている端子は、前記出力端子と前記第3の抵抗とを結ぶ配線上に接続されていることを特徴とする密着型エリアセンサ。

【請求項5】 請求項1記載の密着型エリアセンサにおいて、

前記受光電圧発生回路は第1のオペアンプおよび第2のオペアンプを具備し、

前記受光電圧は、前記第1のオペアンプの出力端子から出力される信号であり、

前記第1のオペアンプの出力端子と前記第2のオペアンプの正入力端子とが接続されており、

前記信号配線が前記第1のオペアンプの負入力端子に接続されており、

前記第1のオペアンプの正入力端子、および、前記第2のオペアンプの負入力端子は、前記基準電位に設定されており、

前記第1のオペアンプの出力端子と該第1のオペアンプの負入力端子との間には、電荷吸収用コンデンサが接続されており、

前記第2のオペアンプの出力端子と該第1のオペアンプの負入力端子との間には、リセットパルスが入力されると該出力端子と負入力端子とを接続するリセット用スイッチング素子とが並列に接続されており、

前記リセット用スイッチング素子と前記第1のオペアンプの負入力端子とを結ぶ配線には、第1の抵抗が形成されており、

前記リセット用スイッチング素子と前記第1の抵抗とを結ぶ配線は、第2の抵抗を介して、前記基準電位に設定されていることを特徴とする密着型エリアセンサ。

【請求項6】 請求項1記載の密着型エリアセンサにおいて、

前記受光電圧発生回路はオペアンプを具備し、

前記受光電圧は、前記オペアンプの出力端子から出力される信号であり、

前記信号配線が前記オペアンプの負入力端子に接続されており、

前記オペアンプの正入力端子は、基準電位に設定されており、

前記オペアンプの出力端子と負入力端子との間には、受光電圧をフィードバックする抵抗素子が接続されていることを特徴とする密着型エリアセンサ。

【請求項7】 請求項1記載の密着型エリアセンサにおいて、

前記受光電圧発生回路はトランジスタ素子を具備し、

前記トランジスタ素子のゲート端子（またはベース端子）が前記信号配線に接続されており、

前記トランジスタ素子のソース端子（またはエミッタ端

子)が前記基準電位に保持されており、前記トランジスタ素子のドレイン端子とゲート端子との間(または前記トランジスタ素子のコレクタ端子とベース端子との間)には、電荷吸収用コンデンサと、リセットパルスが入力されると、前記トランジスタ素子のドレイン端子とゲート端子との間(または前記トランジスタ素子のコレクタ端子とベース端子との間)を接続するリセット用スイッチング素子とが並列に接続されており、前記信号配線は前記バイアス電位に保持されていることを特徴とする密着型エリアセンサ。

【請求項8】 請求項1ないし請求項7のいずれかに記載の密着型エリアセンサにおいて、前記電荷放出用端子と受光電圧発生回路とを結ぶ信号配線は、保護抵抗を有することを特徴とする密着型エリアセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、平面上の画像情報を読み込む密着型エリアセンサに関する。

【0002】

【従来の技術】図25は、従来の密着型エリアセンサの構成例を示すブロック図である。この図において、TFTセンサ部100には、各画素を構成するセンサセルが2次元マトリクス状に配置されている。各センサセルは、光を受光すると該受光量に応じた電荷を発生する受光素子 S'_{xx} と、該受光素子に発生した電荷を蓄積するコンデンサ C_{xx} と、該電荷をソースライン S_x に読み出すスイッチング素子 TR_{xx} とから構成される。

【0003】副走査用シフトレジスタ101は、図25に示すように、TFTセンサ部100の複数本のゲートライン G_x の中から1本のゲートラインを順次選択し、該ゲートラインに接続されたスイッチング素子 TR_{xx} をON状態にする。また、主走査用シフトレジスタ102は、TFTセンサ部100の複数本のソースライン S_x のそれぞれに接続されたスイッチング素子 TF_x の中から1つのスイッチング素子を順次選択し、該スイッチング素子をON状態にする。

【0004】副走査用シフトレジスタ101と主走査用シフトレジスタ102の上述した動作により、TFTセンサ部100のセンサアレイの中から1つのセンサセルが順次選択され、該センサセルにおける発生電荷がビデオ信号として出力される。

【0005】

【発明が解決しようとする課題】ところで、図25に示す従来の密着型エリアセンサにおいては、一つのセンサセルの電荷量 Q が選択されてソースライン S_x に読み出されると、信号電圧 E はセンサセルで発生した電圧の $1/100$ 程度に減少する。この理由を下記に説明する。電荷蓄積用コンデンサの容量を C_s 、電荷蓄積用コンデンサに発生する電圧を V_s とすると、一つのセンサセル

の電荷量 Q は次の式で表すことができる。

$$Q = C_s \times V_s$$

この電荷量 Q が全てソースライン S_x に転送されると、ソースライン S_x の配線容量 C_{xx} が、各センサセルの電荷蓄積用コンデンサ C_{xx} の容量の 100 倍程度にもなるため、ソースライン S_x に発生する信号電圧 E は次の式で表すことができる。

$$E = Q / (C_s \times 100)$$

以上より、信号電圧 E は、電荷蓄積用コンデンサの容量 C_s および電荷蓄積用コンデンサに発生する電圧 V_s を用いて、次の式のように表すことができる。

$$E = (C_s \times V_s) / (C_s \times 100)$$

したがって、次の式に示す関係が成り立つことが分かる。

$$E = V_s / 100$$

すなわち、一つのセンサセルの電荷量 Q が選択されて、ソースライン S_x に読み出されると、信号電圧 E は、センサセルで発生した電圧の $1/100$ 程度に減少することとなる。その結果、従来の密着型エリアセンサでは、自分自身の駆動パルスの漏れ込みノイズに信号電圧が埋もれてしまい、 S/N 比が非常に悪かった。

【0006】この発明は、このような背景の下になされたもので、高精細化ができ、かつ、外部からのノイズに強い密着型エリアセンサを提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1記載の発明は、 X 方向と Y 方向の2次元マトリクス状に配置され、かつ、受光量に応じた電荷を発生する複数の受光素子と、前記各受光素子に発生した電荷の放出を制御する放出制御スイッチング素子と、前記 X 方向に配列された前記各放出制御スイッチング素子の電荷放出用端子を共通接続し、前記電荷の転送経路を形成する複数の信号配線と、前記 Y 方向に配列された前記各放出制御スイッチング素子の制御用端子を共通接続し、前記電荷の転送を制御する走査信号の経路を形成する複数の走査配線と、前記複数の走査配線に順次前記走査信号を供給する走査シフトレジスタと、前記それぞれの信号配線に対し接続され、該信号配線上を転送される電荷量に応じた受光電圧を発生し、かつ、該信号配線を基準電位または前記基準電位により定まるバイアス電位に保持する複数の受光電圧発生回路と、各受光電圧発生回路が発生した受光電圧の中から1つを順次選択し、該選択した受光電圧をビデオ信号として転送するマルチプレクサとを具備することを特徴とする。

【0008】請求項2記載の発明は、請求項1記載の密着型エリアセンサにおいて、前記受光電圧発生回路はオペアンプを具備し、前記受光電圧は、前記オペアンプの出力端子から出力される信号であり、前記信号配線が前記オペアンプの負入力端子に接続されており、前記オペアンプの正入力端子は、前記基準電位に設定されてお

り、前記オペアンプの出力端子と負入力端子との間には、電荷吸収用コンデンサと、リセットパルスが入力されると該出力端子と負入力端子とを接続するリセット用スイッチング素子とが並列に接続されていることを特徴とする。

【0009】請求項3記載の発明は、請求項2記載の密着型エリアセンサにおいて、前記リセット用スイッチング素子と前記負入力端子とを結ぶ配線上には、第1の抵抗が形成されており、前記リセット用スイッチング素子と前記第1の抵抗とを結ぶ配線は、第2の抵抗を介して、前記基準電位に設定されていることを特徴とする。

【0010】請求項4記載の発明は、請求項3記載の密着型エリアセンサにおいて、前記オペアンプの出力端子は、第4の抵抗を介して、前記基準電位に設定されており、前記オペアンプの出力端子と前記第4の抵抗とを結ぶ配線上には第3の抵抗が形成されており、前記電荷吸収用コンデンサの端子のうち、前記オペアンプの出力端子側に接続されている端子は、前記第3の抵抗と前記第4の抵抗との中点に接続されており、前記リセット用スイッチング素子の端子のうち、前記オペアンプの出力端子側に接続されている端子は、前記出力端子と前記第3の抵抗とを結ぶ配線上に接続されていることを特徴とする。

【0011】請求項5記載の発明は、請求項1記載の密着型エリアセンサにおいて、前記受光電圧発生回路は第1のオペアンプおよび第2のオペアンプを具備し、前記受光電圧は、前記第1のオペアンプの出力端子から出力される信号であり、前記第1のオペアンプの出力端子と前記第2のオペアンプの正入力端子とが接続されており、前記信号配線が前記第1のオペアンプの負入力端子に接続されており、前記第1のオペアンプの正入力端子、および、前記第2のオペアンプの負入力端子は、前記基準電位に設定されており、前記第1のオペアンプの出力端子と該第1のオペアンプの負入力端子との間には、電荷吸収用コンデンサが接続されており、前記第2のオペアンプの出力端子と該第1のオペアンプの負入力端子との間には、リセットパルスが入力されると該出力端子と負入力端子とを接続するリセット用スイッチング素子とが並列に接続されており、前記リセット用スイッチング素子と前記第1のオペアンプの負入力端子とを結ぶ配線上には、第1の抵抗が形成されており、前記リセット用スイッチング素子と前記第1の抵抗とを結ぶ配線は、第2の抵抗を介して、前記基準電位に設定されていることを特徴とする。

【0012】請求項6記載の発明は、請求項1記載の密着型エリアセンサにおいて、前記受光電圧発生回路はオペアンプを具備し、前記受光電圧は、前記オペアンプの出力端子から出力される信号であり、前記信号配線が前記オペアンプの負入力端子に接続されており、前記オペアンプの正入力端子は、基準電位に設定されており、前

記オペアンプの出力端子と負入力端子との間には、受光電圧をフィードバックする抵抗素子が接続されていることを特徴とする。

【0013】請求項7記載の発明は、請求項1記載の密着型エリアセンサにおいて、前記受光電圧発生回路はトランジスタ素子を具備し、前記トランジスタ素子のゲート端子（またはベース端子）が前記信号配線に接続されており、前記トランジスタ素子のソース端子（またはエミッタ端子）が前記基準電位に保持されており、前記トランジスタ素子のドレイン端子とゲート端子との間（または前記トランジスタ素子のコレクタ端子とベース端子との間）には、電荷吸収用コンデンサと、リセットパルスが入力されると、前記トランジスタ素子のドレイン端子とゲート端子との間（または前記トランジスタ素子のコレクタ端子とベース端子との間）を接続するリセット用スイッチング素子とが並列に接続されており、前記信号配線は前記バイアス電位に保持されていることを特徴とする。

【0014】請求項8記載の発明は、請求項1ないし請求項7のいずれかに記載の密着型エリアセンサにおいて、前記電荷放出用端子と受光電圧発生回路とを結ぶ信号配線は、保護抵抗を有することを特徴とする。

【0015】

【発明の実施の形態】

§1. 概要

従来技術では、図25に示すように、コストを下げるため、センサ基板上にスイッチング素子 TFx を多数並べて読み出し回路を構成していた。しかし、この図に示す回路構成では、前記したようにセンサセルの電荷量 Q が選択されてソースライン Sx に読み出されると、出力信号は $1/100$ 程度に低下することとなるのに加えて、上記スイッチング素子 TFx をON/OFFするためのパルスが、該スイッチング素子 TFx の寄生容量を通じて、出力信号に流れ込む。このパルスの漏れ込み量は、製造時におけるスイッチング素子間のバラツキ（固体差）のために、該個々のスイッチング素子によって異なる。このため、固定パターンノイズとして、読み込んだ画面上において、縦（または横）の筋状の明暗が生じ、画面品位をかなり落としている。

【0016】また、スイッチング素子自体は、アモルファスシリコンやポリシリコンなどで作られているため、これらの材料の結晶欠陥が多く、信号電荷が該欠陥にトラップされてランダムノイズとなっていた。さらに、アモルファスシリコンやポリシリコンで作られたスイッチング素子では、切り替えスピードが遅いため、高速読み出しを行ううえでこのことが障害となっていた。

【0017】このため、本発明は、信号配線に出力された信号電荷を全て吸い取ることができる回路を提供するものである。これにより、信号電荷を効率よく信号電圧に変換でき、ノイズによる影響を受けにくくなる。ま

た、本発明は、受光電圧発生回路を複数用いることで、受光電圧を並列に読み出し、さらに、並列一直列変換回路であるマルチプレクサを用いることで、高速読み出しを可能とするものである。前記受光素子は、アモルファスシリコンやポリシリコンを用いて透光性基板上に作り込むことが好適である。前記受光電圧発生回路は、単結晶シリコンを用いて形成することもできるが、アモルファスシリコンやポリシリコンで透光性基板上に前記受光素子と同時に作り込むこともできる。前記マルチプレクサは、高速性が要求されるため、単結晶シリコンを用いて形成することが好適である。

【0018】また、従来の2次元センサでは、スイッチング素子を薄膜トランジスタで作り、光センサ素子にp-i-n構造のダイオードや硫化カドミウム・セレン(CdS-Se)などのフォトコンダクティブな材料を用いている。このため、両者の膜の構造が異なることにより、該両者を一括して製膜できず、個別に製膜していた。故に、上記2次元センサは、製造工程が2倍かかり、複雑でコストの高いものとなっていた。このため、本発明では、光センサ素子を薄膜フォトトランジスタにして、スイッチング素子をほぼ同一構造とすることにより、製造プロセスを簡略化した。

【0019】しかし、薄膜フォトトランジスタは、p-i-n構造のフォトダイオードと比べて、暗電流が多く、また、信号の読み出しに時間がかかると光電荷の蓄積時に該暗電流が蓄積され、信号電荷に化けてしまう恐れがある。これを回避するため、前記の複数の受光電圧発生回路とマルチプレクサを用いて高速読み出しを行うことで、上記問題点を解決した。このように、薄膜フォトトランジスタと、複数の受光電圧発生回路とマルチプレクサとを組み合わせることにより、上記各種欠点を克服でき、かつ、安価な2次元イメージセンサを提供することができる。

【0020】§2. 第1実施形態

以下、図面を参照して、この発明の第1実施形態について説明する。図1は、この発明の第1実施形態による密着型エリアセンサの構成例を示す回路図である。この図に示す密着型エリアセンサは、大きく分けて、走査シフトレジスタ1と、TF Tセンサ部2と、外部駆動回路3とから構成されている。走査シフトレジスタ1は、複数のゲートラインG_xの中から、順次1本のゲートラインを選択し、該選択されたゲートラインに走査信号を供給する。これにより、TF Tセンサ部2上のスイッチング素子(TF T)のうち、上記選択されたゲートラインに接続されたスイッチング素子はON状態になる。

【0021】また、図1に示すTF Tセンサ部2上には、各画素を構成するセンサセルが2次元マトリクス状に配置されている。各センサセルは、光を受光すると該受光量に応じた電荷を発生する受光素子S_{xx}と、該受光素子に発生した電荷を蓄積するコンデンサC_{xx}と、該電

荷をソースラインS_xに読み出すスイッチング素子T_{Rxx}とから構成される。このうち、先に「§1. 概要」で説明したように、本実施形態による受光素子(図1に示す受光素子S_{xx})は、従来技術による受光素子(図25に示す受光素子S'_{xx})とは、構造が異なる。

【0022】また、図2は、図1に示す密着型エリアセンサにおいて、TF Tセンサ部2の電荷放出用端子と受光電圧発生回路4とを結ぶ信号配線上に、保護抵抗P_{Rx}を挿入した例を示す回路図である。図1と図2は、上記保護抵抗P_{Rx}を除くと、全く同じ回路構成である。図2において、上記保護抵抗P_{Rx}は、ゲートラインとソースラインとがショートした場合に、外部駆動回路3中のオペアンプや該オペアンプの駆動電源を保護するためのものである。また、上記保護抵抗P_{Rx}の抵抗値は、トランジスタT_{Rxx}がON状態となったときの抵抗値(すなわち、トランジスタT_{Rxx}のON抵抗)よりも充分小さい値である。本実施形態では、上記保護抵抗P_{Rx}の抵抗値は、一例として100[KΩ]とする。

【0023】次に、このTF Tセンサ部2の詳細について説明する。図3は、図1に示すTF Tセンサ部2上の1つのセンサセルの構造を示す平面図であり、図4は、図3に示すTF Tセンサ部2の、同図に示すA-A'における断面図である。TF Tセンサ部2は、大きく分けて、スイッチング素子(SW-TF T:図1に示すT_{Rxx}に対応)と、光電荷蓄積用コンデンサC_s(図1に示すC_{xx}に対応)と、TF Tセンサ(受光素子:図1に示すS_{xx}に対応)と、本TF Tセンサ部2の下部に設けられた光源(バックライト:図示略)から出力された光が原稿に向かって入射される窓から構成される。図3の平面図に示すTF Tセンサ1個の大きさは、幅5[μm]×長さ8[μm]である。また、図4の断面図において、黒い部分は金属層であり、ドット部分はアモルファスシリコン層であり、それ以外の無印の部分は窒化シリコンからなる透明絶縁層である。

【0024】図5は、図3または図4に示すTF Tセンサを構成する薄膜トランジスタの特性を示すグラフである。この図において、横軸は上記薄膜トランジスタのゲート電圧V_gを示し、縦軸は、同薄膜トランジスタのドレインとソース間に一定電圧(例えば、12[V])を加えたときのドレイン電流I_dを示している。また、同図において、太線は、該薄膜トランジスタに1000[lux]の光を当てた場合を示し、細線(Dark)は、該薄膜トランジスタに光を当てなかった場合を示している。また、本実施形態によるTF Tセンサには、バックライトから出力された光が、原稿に反射せずにTF Tセンサに直接当たるのを防ぐ遮光電極が設けられている。図5に示すV_Bは、この遮光電極に印加されている遮光電極電圧である。

【0025】この図から、遮光電極電圧V_Bが十分な値である場合(この図に示す例では、遮光電極電圧V_B=

10〔V〕の場合)、ゲート電圧 V_g が負の領域において、薄膜トランジスタに光が当たっている場合と当たっていない場合とでは、ドレイン電流 I_d の値が大きく異なることがわかる。すなわち、上記薄膜トランジスタは、そのゲート電圧 V_g が負の領域において、光に対する感度が高いことがわかる。

【0026】また、図1に示す外部駆動回路3は、複数の受光電圧発生回路4と、1つのマルチプレクサ5とから構成される。マルチプレクサ5は、上記複数の受光電圧発生回路4の出力信号の中から1つの出力信号を選択し、該選択した出力信号をビデオ信号として出力する。

【0027】図6は、図1に示す受光電圧発生回路4の回路図である。この図に示すように、オペアンプOPの負入力端子には、TFTセンサ部2のソースラインが接続されている。オペアンプOPの正入力端子は、基準電位(0〔V〕)に接続されている。オペアンプOPの出力端子と負入力端子との間には、電荷吸収用コンデンサC0とリセット用スイッチング素子(トランジスタTr)とが並列に接続されている。

【0028】次に、上記構成による密着型エリアセンサの動作を説明する。図7は、本実施形態による密着型エリアセンサの動作原理を示す説明図である。なお、この図では、説明を簡単にするために、TFTセンサ部2上の1個のセンサセルと、該センサセルに接続された受光電圧発生回路4とを取り出して図示してある。また、この図に示すTFTセンサのゲート電極は-15〔V〕に固定接続されているので、TFTセンサが受光していないときには、該TFTセンサはOFF状態(ソース・ドレイン間が高抵抗状態)である。また、この図において、オペアンプの正入力端子がGNDに接続されている(0〔V〕)ので、負入力端子(ソースライン)の電位も0〔V〕となる。

【0029】このような状態で、TFTセンサに光が当たると、該TFTセンサはOFF状態から、光の強さに応じてソース・ドレイン間の抵抗が下がり、該ソース・ドレイン間を電流が流れて、コンデンサCSの電圧が下がる(コンデンサCSに光電荷が蓄積される)。コンデンサCSに光電荷が蓄積された後、スイッチ用TFT(SW-TFT)をON状態にして、ソースライン上に該電荷を読み出す。これにより、ソースライン上の電圧は、読み出した電荷のため、0〔V〕(GNDレベル)より下がる。

【0030】ソースライン上の電圧が下がると、オペアンプは該ソースライン上の電圧を検出して、オペアンプ出力の電圧を上げる。オペアンプ出力の電圧が上昇すると、該電圧は、コンデンサC0を介して、ソースライン上の電圧を上昇させ、ソースラインの電位は元の0

〔V〕に復帰する。このときのオペアンプ出力の上昇分が受光電圧(光電荷出力電圧)となって、マルチプレク

サ(図1参照)へ出力される。なお、上述した動作により、ソースライン上の電圧は常に0〔V〕になるためこの直前に読み出した画素の電荷が残留せず、したがって残像が残らない。

【0031】図8および図9は、2個のセンサセルを1つのソースラインに共通接続した場合における、密着型エリアセンサの動作原理を示す説明図である。なお、これらの図に示すセンサセルA、Bおよび受光電圧発生回路4の動作は、図7において説明した動作と同じものである。図8(a)では、センサセルBで発生した光電荷-Qを読み出す。同時に、センサセルAでは、該センサセルAのコンデンサに光電荷-qを蓄積している。次に、図8(b)では、受光電圧発生回路4のリセット用スイッチング素子TrをONにして、電荷吸収用コンデンサC0に蓄積された電荷をリセットしている。同時に、センサセルAは引き続き光電荷-qの蓄積を行い、センサセルBも光電荷-Qの蓄積を開始する。

【0032】次に、図9(a)では、センサセルAで発生した光電荷-qを読み出す。同時に、センサセルBでは、該センサセルBのコンデンサに光電荷-Qを蓄積している。そして、図9(b)では、再び、受光電圧発生回路4のリセット用スイッチング素子TrをONにして、電荷吸収用コンデンサC0に蓄積された電荷をリセットしている。同時に、センサセルBは引き続き光電荷-Qの蓄積を行い、センサセルAも光電荷-qの蓄積を開始する。図8および図9に示す密着型エリアセンサは、上記のサイクルを繰り返す。以上で、上記構成による密着型エリアセンサの動作説明を終了する。

【0033】§3. 第2実施形態

次に、この発明の第2実施形態について説明する。本実施形態による密着型エリアセンサの構成例は、外部駆動回路における受光電圧発生回路を除くと、図1に示す回路(第1実施形態の回路)と同じものである。第1実施形態では、上記受光電圧発生回路として、図6に示す回路を使用したが、本実施形態では、図6に示す回路の代わりに、図10に示す回路を使用する。

【0034】図10に示す受光電圧発生回路では、リセットパルスが、トランジスタTrのゲート・ドレイン間の寄生容量Cdを介して、オペアンプOPの入力側に現れるのを軽減するために、抵抗R2を設けた。寄生容量Cdのインピーダンス(交流に対する抵抗値)ZCは、 $ZC = 1 / (2\pi f Cd)$ 〔Ω〕

で算出することができるので、例えば、リセットパルスの高調波周波数 $f = 100$ 〔kHz〕、 $Cd = 0.5$

〔pF〕とすると、

$$ZC = 1 / (2 \times 3.14 \times 100 \times 10^3 \times 0.5 \times 10^{-12}) = 3.2 \text{ [M}\Omega\text{]}$$

となる。このため、抵抗R2の抵抗値を3.2〔MΩ〕の1/10以下とすれば、ZCとR2との抵抗分割により、オペアンプOPの入力側に漏れ込む電圧量は1/1

0以下になる。故に、抵抗R2の抵抗値は1[kΩ]～100[kΩ]が適当である。

【0035】次に、図10に示す抵抗R1の抵抗値の決め方を述べる。正常に動作している理想的オペアンプの2つの入力間の電位差は0[V]であるが、実際には、約10[mV]程度のオフセット電圧がある。信号を読み出している間(約60[μsec])は、このオフセット電圧によりリーク電流が抵抗R1、R2を介してGNDに流れる。このリーク電流は、信号電流と一緒にオペアンプの出力に現れるので、ノイズを発生させていることになる。このため、抵抗R1はできるだけ高抵抗値である方が望ましいが、逆にあまり高抵抗値にすると、所定のリセット期間にコンデンサC0に蓄積された信号電流をリセットできない。故に、抵抗R1の抵抗値は100[kΩ]～220[MΩ]が適当である。

【0036】§4. 第3実施形態

次に、この発明の第3実施形態について説明する。本実施形態による密着型エリアセンサの構成例は、外部駆動回路における受光電圧発生回路を除くと、図1に示す回路(第1実施形態の回路)と同じものである。本実施形態では、上記受光電圧発生回路として、図6に示す回路の代わりに、図11に示す回路を使用する。

【0037】図11に示す受光電圧発生回路では、信号電荷蓄積用(フィードバック用)コンデンサC0が、抵抗R3と抵抗R4の midpoint に接続されているので、該抵抗R3と抵抗R4の midpoint から、図6または図10に示すオペアンプの信号出力と同じ信号出力が得られる。この図において、オペアンプは、抵抗R3と抵抗R4との midpoint に電圧を発生させるために、抵抗R3と抵抗R4との分割比だけ高い電圧を出力するように動作する。このオペアンプ後段に設けられたマルチプレクサやA/Dコンバータ等の入力電圧は1[V]程度であり、リセットするための電圧は、できるだけ高い方(一例としては、10[V]程度)が、抵抗R1の抵抗値を高くできるので、このような回路構成とした。したがって、抵抗R3、R4ともに、該抵抗値は10[Ω]～1[MΩ]までの広い範囲で選択することができる。

【0038】§5. 第4実施形態

次に、この発明の第4実施形態について説明する。本実施形態による密着型エリアセンサの構成例は、外部駆動回路における受光電圧発生回路を除くと、図1に示す回路(第1実施形態の回路)と同じものである。本実施形態では、上記受光電圧発生回路として、図6に示す回路の代わりに、図12に示す回路を使用する。

【0039】図12は、本実施形態による受光電圧発生回路の一例を示す回路図である。コンデンサC0をリセットするための電圧はできるだけ高い方が、抵抗R1の抵抗値を高くとれ、ノイズとなるリーク電流を減らすことができる。故に、この図では、図11に示した抵抗分割による電圧調整よりももっと効果の高い、コンパレー

タを使用した例を示す。コンパレータOP2は、信号電荷蓄積用(フィードバック用)コンデンサC0のリセット時にしか動作しない。信号読み出し時において、オペアンプOPの出力が少しでもあると、コンパレータOP2が、該オペアンプOPの出力の電位がGND電位からずれたことを検出して、出力電圧を電源電圧まで上げる。これにより、抵抗R1の抵抗値が高くても、十分にリセットを行うことができる。

【0040】§6. 第5実施形態

次に、この発明の第5実施形態について説明する。本実施形態による密着型エリアセンサの構成例は、外部駆動回路における受光電圧発生回路を除くと、図1に示す回路(第1実施形態の回路)と同じものである。本実施形態では、上記受光電圧発生回路として、図6に示す回路の代わりに、図13に示す回路を使用する。

【0041】図13は、本実施形態による受光電圧発生回路の一例を示す回路図である。この図では、受光電圧発生回路として、オペアンプOPと抵抗R0とからなる反転増幅器を用いている。そして、上記受光電圧発生回路の後段には、積分抵抗Ri、オペアンプOPi、積分コンデンサCiおよびリセットスイッチSWiからなる積分回路が設けられている。

【0042】なお、一般に、ソースライン上には40[pF]の寄生容量が存在するため、オペアンプOPの負入力端子側における入力抵抗値が大きい場合には、電荷の読み出し速度が非常に遅くなるが、図13に示す回路例では、オペアンプOPの負入力端子側の入力抵抗値をほぼ0[Ω]にすることができるので、ソース配線上の寄生容量(40[pF])による影響は無視できる。

【0043】また、図13に示す回路図においても、図2に示す回路図と同様に、ソースライン上に、保護抵抗を挿入することが考えられる。図14は、図13に示す回路図において、保護抵抗PRを挿入した例を示す回路図である。図13と図14は、上記保護抵抗PRの有無を除くと、全く同じ回路構成である。図14において、保護抵抗PRは、SW-TFTのゲートラインとソースラインとがショートした場合に、オペアンプOP(およびOPi)や該オペアンプOP(およびOPi)の駆動電源を保護する。

【0044】また、上述したソースライン上の寄生容量(40[pF])による読み出し速度を考慮すると、上記保護抵抗PRの抵抗値は、該寄生容量との積により決まる読み出し速度の低下を無視することができるほど小さい値である必要がある。さらに、上記保護抵抗PRの抵抗値は、SW-TFTのON抵抗値よりも充分小さい値である必要がある。故に、本実施形態では、上記保護抵抗PRの抵抗値として、具体的には、1～100[kΩ]が考えられる。

【0045】§7. 応用例

図15は、本発明による密着型エリアセンサをパーソナ

ルコンピュータの周辺機器として接続する場合の一例を示す説明図である。この図において、10はSCSIインターフェイスで接続される周辺機器（外付ハードディスクドライブ、光磁気ディスクドライブ、CD-ROMドライブ等）であり、11は該周辺機器をパーソナルコンピュータに接続するためのSCSIインターフェイスボードである。この図に示すように、本発明による密着型エリアセンサをパーソナルコンピュータに接続する場合には、SCSIなどのインターフェイスを利用する。

【0046】図16は、本発明による密着型エリアセンサを用いて、カラーの画像情報を取り込む場合における応用例を示す断面図である。この図に示すように、RGBの3色の蛍光灯を順次点灯して、原稿に当てれば、カラーの画像情報が得られるので、従来のCCDカメラのような高価なカラーフィルタが不要となる。また、RGBを1画素として撮影するCCDカメラと比べると、同じ画素でも解像度が3倍となる。さらに、本発明では、受光電圧発生回路に光蓄積電荷を全て読み出せるので、カラー読み出し時において、RGBの3色の光を、間をおかずに、瞬時に切り換えても残像が生じない。

【0047】図17は、本発明による密着型エリアセンサを用いて、指紋を読み込む場合における応用例を示す説明図である。この図において、予め、指紋からの反射光がTF Tセンサに入力する際における、有効入射光の角度を 45° としておく。光源から出射された光は、指紋の谷線において回り込み、多量の光がTF Tセンサに入射する。また、指紋の隆線では、該隆線部分が指の押付面に密着するので、光源から出射された光が回り込まず、少量の光しかTF Tセンサに入射しない。これにより、指紋の谷線と隆線とを区別し、該指紋の画像情報を取り込むことができる。

【0048】なお、指を密着型エリアセンサに強く押しつけると、谷線がつぶれて、谷線と隆線との区別が困難になる場合がある。このため、この図に示すように、光源の下部に圧力感知膜を設け、該光源と圧力感知膜との間にバネと接点を設けておき、圧力感知膜が圧力を感じると、このことをコンピュータなどの画像読取機に報知するようにして、最適な画像を取り込むようにする。

【0049】図18は、安価なシステムを構成するために、受光電圧発生回路の数を減らした場合における応用例を示す回路図である。先に図1に示した回路では、1本のソースラインに対して1個の受光電圧発生回路4を設け、両者を1対1に対応させて接続した。すなわち、図1に示す回路では、各受光電圧発生回路4の出力信号は、マルチプレクサ5に入力され、該マルチプレクサ5において、1つの出力信号が順次選択されてビデオ信号となる。

【0050】これに対して、図18に示すように、受光電圧発生回路4の前段にマルチプレクサを設け、複数のソースラインを、該マルチプレクサで順次切り換えて、

1つのソースラインを選択し、該選択されたソースラインの信号を受光電圧発生回路4に入力することにより、受光電圧発生回路4の数をソースラインの数より少なくすることも考えられる。ここで、未選択のソースラインは、能動スイッチASW_{xx}を介して、基準電圧に接続される。このようにすることで、未選択のソースライン上に読み出された光電荷は、該ソースライン上から速やかに消滅するので、その後、選択されたソースライン上に光電荷が残存して、残像などの不具合が生じるのを避けることができる。なお、図18に示す回路では、受光電圧発生回路4として、図12に示した第4実施形態の回路を使用しているが、この他にも、図6（第1実施形態）または図10（第2実施形態）または図11（第3実施形態）または図13（第5実施形態）に示した回路を使用することも可能である。

【0051】図19および図20は、本実施形態による密着型エリアセンサの解像度を増大させる場合における応用例を示す説明図である。まず初めに、図19に示す方向から光を入射する。これにより、この図において、原稿のA2の部分に当たった光は同図のAで示したTF Tセンサに入射し、原稿のB2の部分に当たった光は同図のBで示したTF Tセンサに入射する。その結果、原稿上のA2およびB2における画像情報を取得することができる。なお、この図では、原稿および密着型エリアセンサの断面図上の一部分のみを図示しているが、当然のことながら原稿および密着型エリアセンサは、2次元（平面）的な広がりを持つものあり、故に、図19において、画像情報が読み込まれるのは、原稿上を市松模様状の2つのエリアに分類した場合の一方のエリアということになる。

【0052】次に、図20に示す方向から光を入射する。これにより、この図において、原稿のA1の部分に当たった光は、同図のAで示したTF Tセンサに入射し、原稿のB1の部分に当たった光は、同図のBで示したTF Tセンサに入射する。その結果、原稿上のA1およびB1における画像情報を取得することができる。上述したように、光源から入射される光の方向を変化させることにより、密着（した）度真下の部分にTF Tセンサが設けられていない場合であっても、該密着部分の画像情報を得ることができる。すなわち、本発明による密着型エリアセンサでは、TF Tセンサの配置が、画像の読み取り面上において疎であっても、光源から入射される光の方向を変化させることにより、受光密度を上げることができる。

【0053】以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述した第1実施形態～第5実施形態に示す受光電圧発生回路（図6、図10、図11、図12、図13参照）

では、ソースライン上の電圧を検出するためにオペアンプOPを用いたが、この他にも、該オペアンプOPの代わりにトランジスタ素子を用いることも考えられる。

【0054】図21は、図6に示す受光電圧発生回路において、オペアンプOPの代わりにトランジスタを用いた場合の受光電圧発生回路の一例を示す回路図である。この図に示すように、トランジスタMOSのゲート端子にはTFTセンサ部2のソースラインが接続されている。また、トランジスタMOSのソース端子は、基準電位(0[V])に接続されている。また、トランジスタMOSのドレイン端子とゲート端子との間には、電荷吸収用コンデンサC0と、リセットパルスが入力されると、トランジスタMOSのドレイン端子とゲート端子との間を接続するリセット用スイッチング素子(トランジスタTr)とが並列に接続されている。図21に示す受光電圧発生回路の動作は、基本的に、図6に示す受光電圧発生回路の動作と同じものである。但し、図21に示すソースラインには、トランジスタMOSのソース・ゲート間電圧分だけオフセット電圧(バイアス電位Ve)が乗る。

【0055】また、図22は、トランジスタ素子を用いた受光電圧発生回路の他の例を示す回路図である。図22に示す回路は、図21に示す回路の増幅度を上げることで、ソースライン上のわずかな電圧変動を検出してフィードバックし、結果的に、該ソースライン上の電圧変動を抑える回路である。上記増幅度を上げるために、図21に示すドレイン抵抗RLに代えて、定電流源をトランジスタMOSのドレイン端子に接続している。この定電流源の抵抗値はほぼ無限大と見なすことができるため、次に示す式のように、トランジスタMOSのドレイン電流IDがわずかでも変化すると、大きな電圧降下がトランジスタMOSのドレイン端子に生じる。

$$\Delta V_D = \Delta I_D \times R_D$$

ΔV_D : ドレイン電圧の変化分

ΔI_D : ドレイン電流の変化分

R_D : ドレイン端子の出力抵抗値(=定電流源の抵抗値 $\rightarrow \infty$ [Ω])

【0056】また、図22に示すトランジスタMOS2のソース・ホロワ回路は、次段に接続されるマルチプレクサの入力抵抗が有限の値であるために、増幅度の低下を避けるバッファ回路として入れてある。トランジスタMOS2がソース・ホロワ回路であるため、マルチプレクサの入力抵抗が変動して該トランジスタMOS2のドレイン電流が増加しても、そのゲート・ソース間電圧VGSはほとんど変化しない(すなわち、トランジスタMOS2は、出力抵抗が小さい)。

【0057】また、図1に示す回路図では、TFTセンサ部2で発生した全ての電荷を同一方向(図1における右方向)に向かって取り出しているが、電荷の取り出しパターン、および、それに伴う各回路の配置はこれに限

定されるものではない。上記取り出しパターンの一例としては、図23に示すように、隣接するソース配線上の電荷を互いに反対方向へ取り出すこと(千鳥取り出し)が考えられる。また、上記取り出しパターンの他の一例としては、図24に示すように、2次元マトリクス状に並んだ画素を上下左右の4つのブロックに分割し、各ブロック毎に電荷を取り出すこと(上下左右分割取り出し)が考えられる。

【0058】§8. 従来製品に対する優位点

(a) CCDカメラとの比較における優位点

① 高価なカラーフィルタが不要である。図16に示すように、RGBの3色の蛍光灯を順次点灯して、原稿にあてれば、カラーの画像情報が得られる。

② 解像度が3倍向上する。RGBの3色の蛍光灯を順次点灯して、原稿にあてて、カラーの画像情報を得られるので、RGBを1画素として撮影するCCDカメラと比べると、同じ画素でも解像度が3倍となる。

【0059】③ 装置が薄く小型になる。CCDを使用した原稿の読み取り機は、縮小光学系が必要なため、読み取り機の厚みを原稿の紙幅以下にすることはできない。しかし、本発明による密着型エリアセンサでは、上記縮小光学系を必要としないので、装置を薄く小型にできる。

④ 画面にノイズの混入が無い(S/N比が良い)。本発明による密着型エリアセンサは、CCDカメラと比べて受光面積が広くとれ、密着していることにより光のロスが少なく、バックライト照明により強い被写体光が得られるので、光電変換感度が上がる。このため、蓄積容量を大きくでき、ゲート駆動パルス等におけるパルス性雑音の混入を減らすことができる。

【0060】⑤ 照明光がまぶしくなく、外光の影響を受けない。TVカメラで写真をとる場合には、カメラと照明用の大きなスタンドを設置しなくてはならず、さらに、照明光がまぶしいため、CCDカメラをパソコンの横等で手軽に使うという訳にはいかない。また、天井の蛍光灯などの照明光が被写体に移り込む。本発明による密着型エリアセンサでは、バックライトにより出射された光が、センサに配置された照明用窓アレイを通して、該センサに密着させた原稿に当たるので、別置型の照明は不要であり、また、照明光は外には漏れない。

【0061】⑥ システムが安価になる。多人数が画像データをとるときには、ボラロイドカメラと本発明による2次元密着型TFTイメージスキャナとの組み合わせ、または、レンズ付きフィルムと本発明による2次元密着型TFTイメージスキャナとの組み合わせの方が、CCDカメラ等によるシステムより安価に構成できる。また、少人数がCCDカメラ等で画像をコンピュータに入力する場合でも、手元に写真が残らないので、ほとんどの場合、ハードコピーの必要性がでてくる。このため、CCDカメラとカラーハードコピー機との組み合わせ

せからなるシステムは高価となる。

【0062】(b)従来の2次元密着型TFTEイメージスキャナとの比較における優位点

① 製造プロセスが簡単である。従来の2次元密着型TFTEイメージスキャナは、光電変換素子にフォトダイオードを使用しているため、スイッチング素子である α -SiTFTEを別途成膜しなくてはならず、このため、製造プロセスが複雑であった。本発明による密着型エリアセンサでは、両方の素子（スイッチング素子と光センサ素子）に α -SiTFTEを使用しているため、1回のプロセスで作成することができ、従来の2次元密着型TFTEイメージスキャナと比較して、製造プロセスが簡単である。

【0063】② 残像が生じない。読み出し回路に、光蓄積電荷が全て読み出せるので、カラー読み出し時において、RGBの3色の光を、間をおかずに、瞬時に切り換えても残像が生じない。

③ 高解像度である。読み出し回路に、光蓄積電荷が全て読み出せるので、画素内にリセットスイッチ用TFTEが不要となる。そのため、個々の画素を小さくでき、単位面積当たりの画素数を多くとれる。

④ 信号間クロストークが生じない。読み出し回路が電流読み出しであり（アンプの入力抵抗が0 $[\Omega]$ ）、電圧がセンサアレイ信号配線上にほとんど発生しないため、配線クロスオーバー部において信号間クロストークが生じない。

【0064】(c)従来のライン型スキャナとの比較における優位点

① ペン入力ができる。本発明による密着型エリアセンサは、マウスとして使用できる。また、欧米において、本発明による密着型エリアセンサは、自分のサインの入力に使用できるため、遠隔承認が可能となる。さらに、本発明による密着型エリアセンサは、図形ソフトを使用する場合における手書き入力に最適である。

② 指紋入力ができる。指に密着できることから、指紋の読み取りが容易になるため、現金自動預払機(ATM)のセキュリティチェックや、コンピュータセキュリティのID認識等に利用できる。

【0065】③ 読み取り速度が速い。従来のスキャナは、1ライン毎に光電荷を蓄積し、その後、該電荷を外部に読み出すので、読み取りに30秒～1分程度かかっていたが、本発明による密着型エリアセンサにおいては、全画面同時に光電荷を蓄積するため、読み取りが1秒程度で可能となる。

④ 画枠を素早く合わせることができる。CCDカメラを使用する場合を除くと、従来のスキャナは読み取り速度が遅いため、画枠を合わせるのに多大な時間がかかっていた。

【0066】⑤ 設置場所を新たに設ける必要がない。本発明による密着型エリアセンサは、従来のマウスの代

わりに使用できるため、これまでマウスを動かしていたスペースに置くことができる。

⑥ 小型・薄型になる。本発明による密着型エリアセンサは、機械駆動系およびアレイレンズ光学系を持たないので、小型・薄型構成することができる。

【0067】

【発明の効果】以上説明したように、この発明によれば、受光電圧発生回路によって、信号配線の電位は常に基準電位に保持されるので、該信号配線上の信号電荷を全て吸い取ることができ、これによって、効率よく信号電圧に変換できる。その結果、外部からのノイズに強い密着型エリアセンサを構成することができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態による密着型エリアセンサの構成例を示す回路図である。

【図2】保護抵抗PRxを追加した密着型エリアセンサの構成例を示す回路図である。

【図3】センサセルの構造を示す平面図である。

【図4】センサセルの構造を示す断面図である。

【図5】TFTEセンサを構成する薄膜トランジスタの特性を示すグラフである。

【図6】本実施形態による受光電圧発生回路の一例を示す回路図である。

【図7】本実施形態による密着型エリアセンサの動作原理を示す説明図である。

【図8】2個のセンサセルを1つのソースラインに共通接続した場合における、密着型エリアセンサの動作原理を示す説明図である。

【図9】2個のセンサセルを1つのソースラインに共通接続した場合における、密着型エリアセンサの動作原理を示す説明図である。

【図10】本実施形態による受光電圧発生回路の一例を示す回路図である。

【図11】本実施形態による受光電圧発生回路の一例を示す回路図である。

【図12】本実施形態による受光電圧発生回路の一例を示す回路図である。

【図13】本実施形態による受光電圧発生回路の一例を示す回路図である。

【図14】図13に示す回路図に保護抵抗PRを追加した例を示す回路図である。

【図15】パーソナルコンピュータの周辺機器として接続する場合の一例を示す説明図である。

【図16】カラーの画像情報を取り込む場合における応用例を示す断面図である。

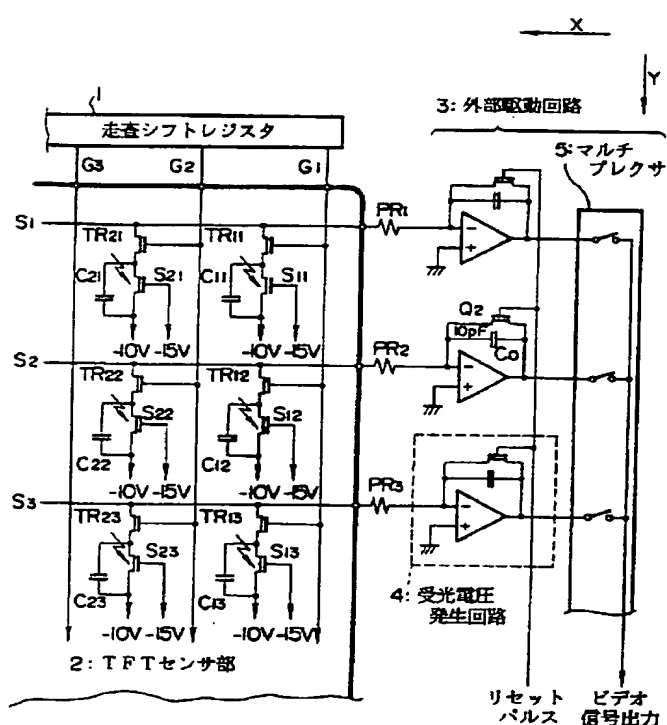
【図17】指紋を読み込む場合における応用例を示す説明図である。

【図18】受光電圧発生回路の数を減らした場合における応用例を示す回路図である。

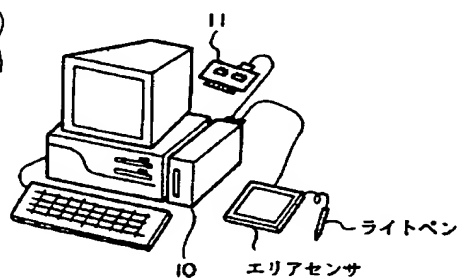
【図19】解像度を増大させる場合における応用例を示す

【図 2 3】電荷の取り出しパターンの一例（千鳥取り出し）を示す説明図である。

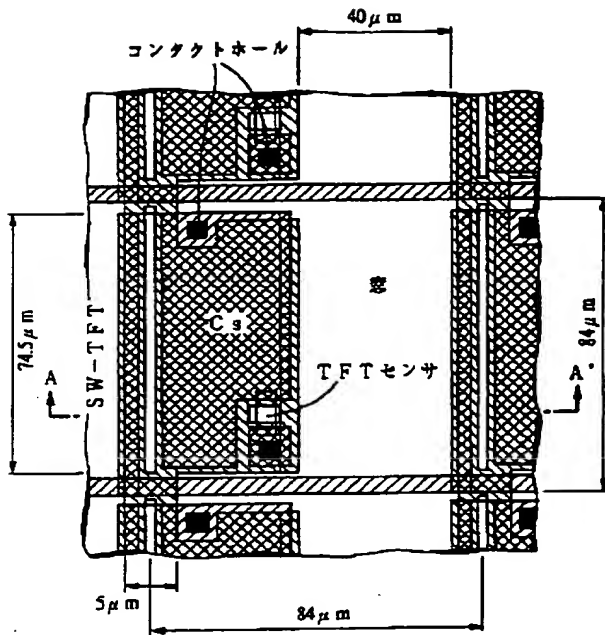
【图 2】



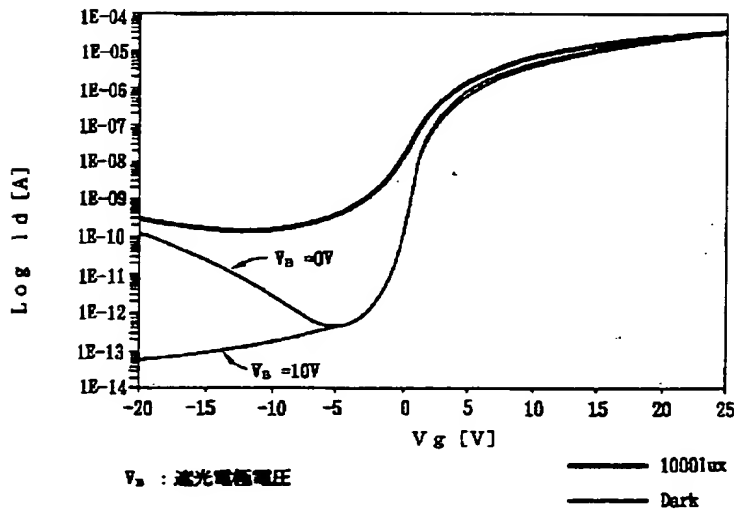
【図 15】



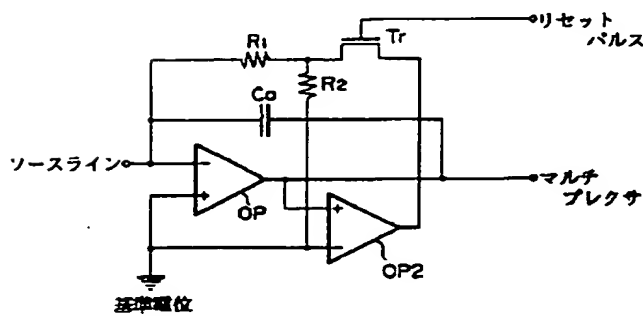
【図3】



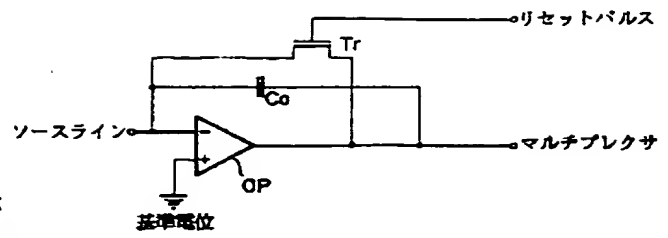
【図5】



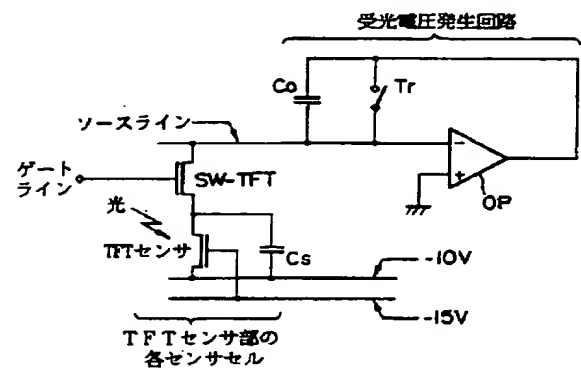
【図12】



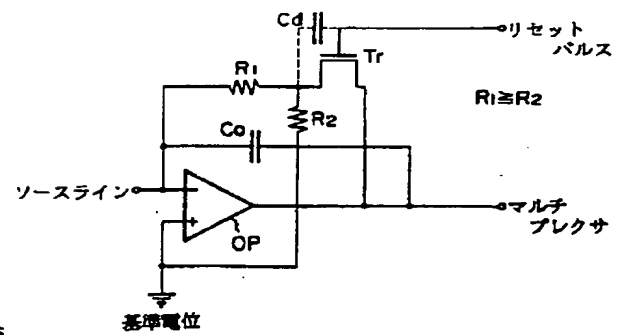
【図6】



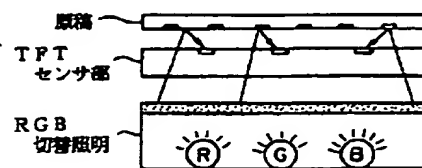
【図7】



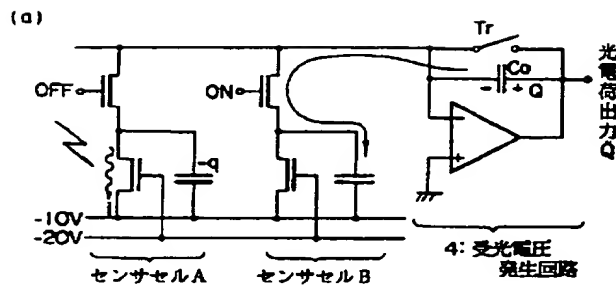
【図10】



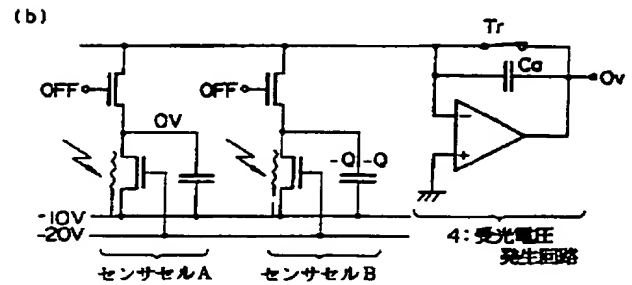
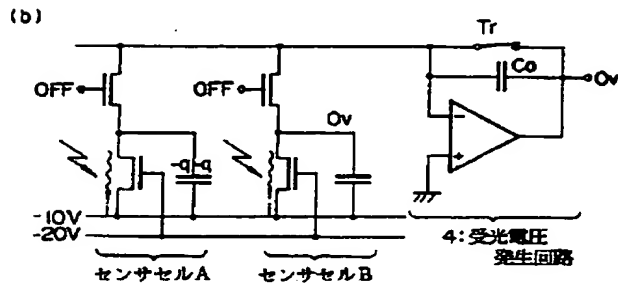
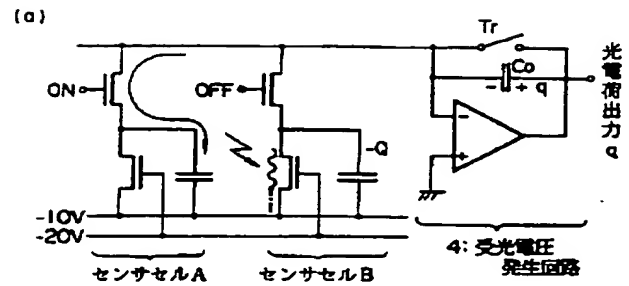
【図16】



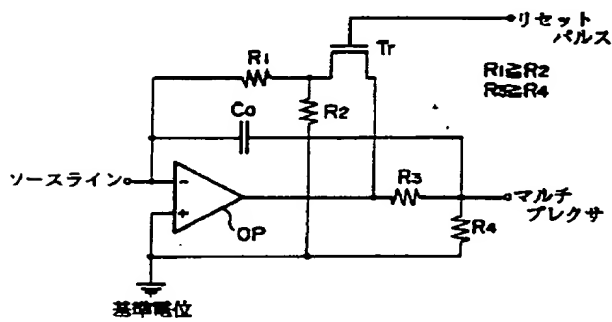
【図 8】



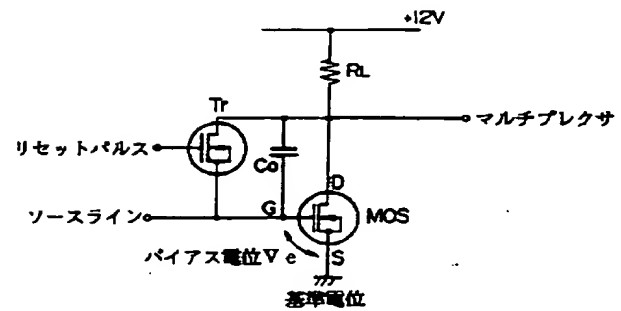
【図 9】



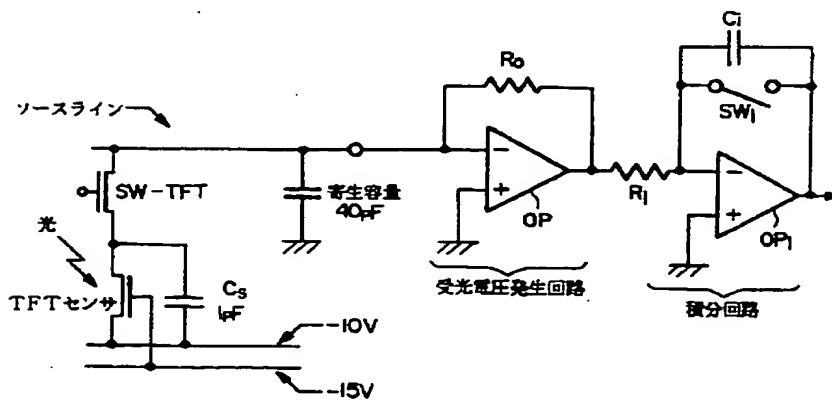
【図 11】



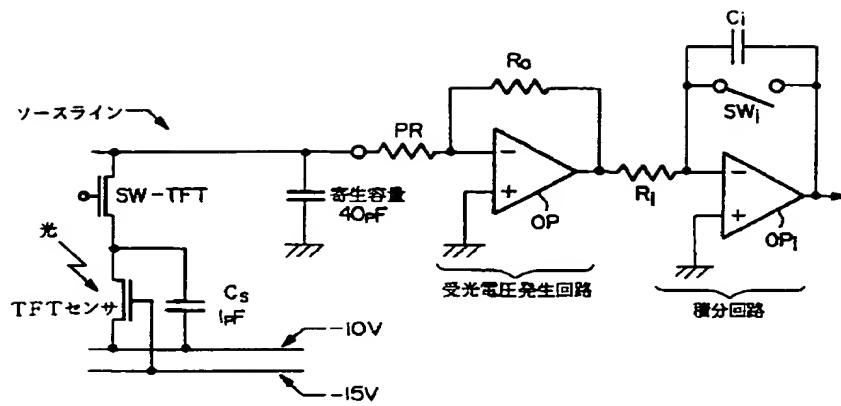
【図 21】



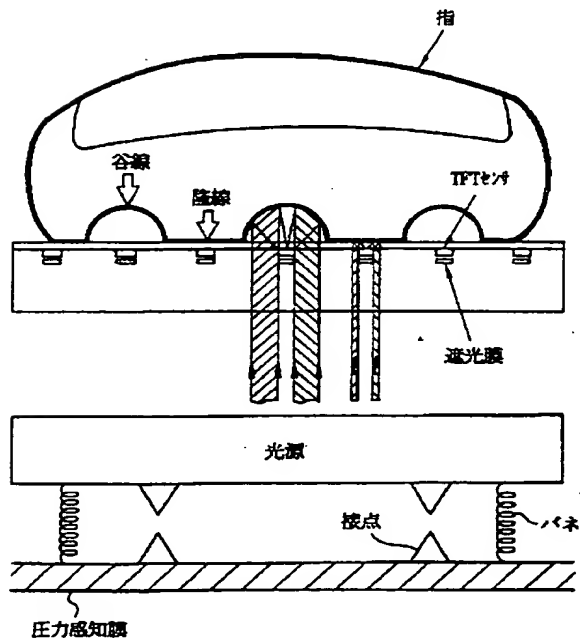
【図 13】



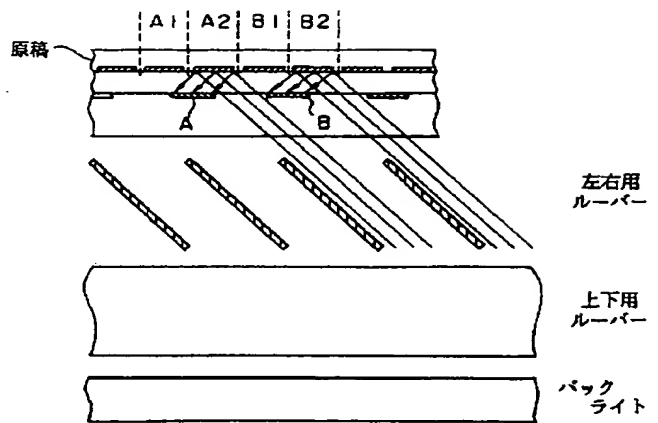
【図14】



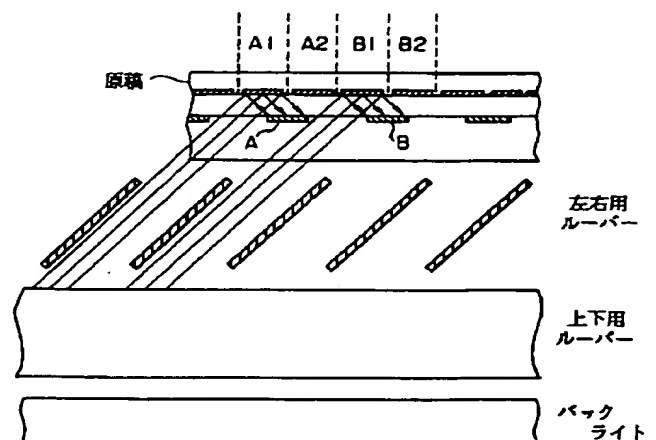
【図17】



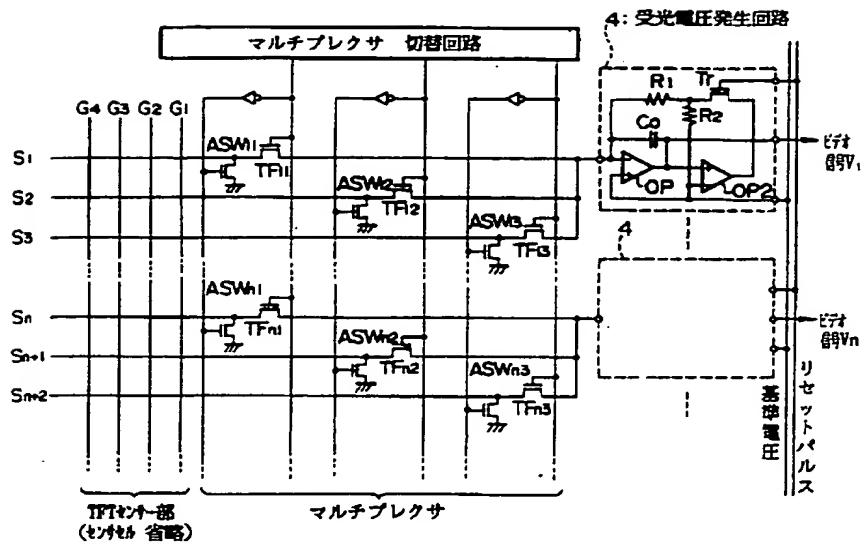
【図19】



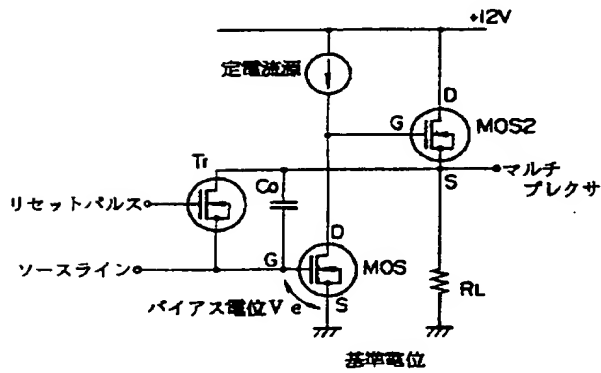
【図20】



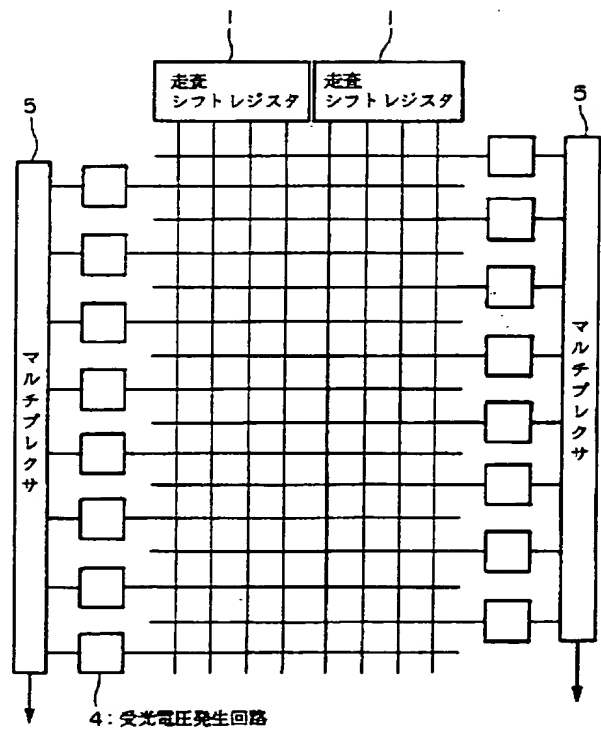
【図18】



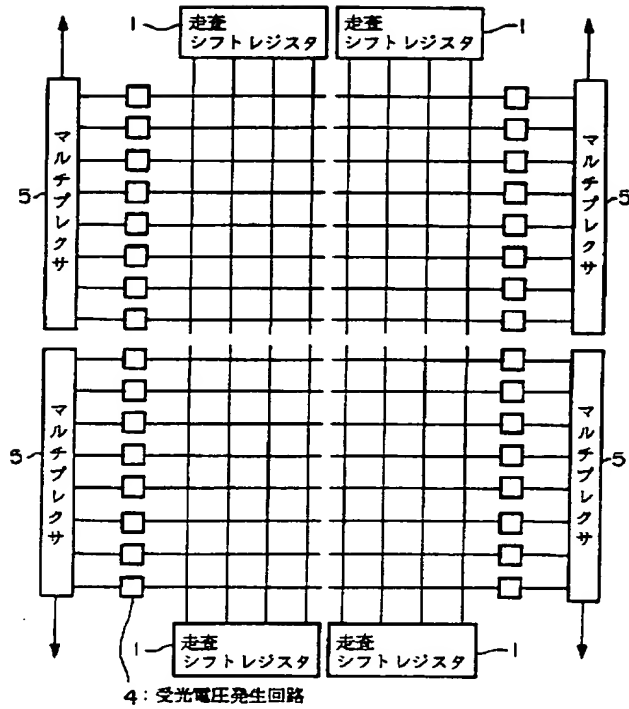
【図22】



【図23】



【図24】



【図25】

